



بسمه تعالی

کواهی ارائه مقاله

بدینوسیله کواهی می‌گردد که مقاله:

«حذف نوسانات ناشی از اغتشاشات و تأثیر حلقه قفل فاز سه فاز به روشی نوین»

(علی اصغر قدیمی، محمد زارعی، یشتم مختاری)

در بیست و دومین کنفرانس مهندسی برق ایران (ICEE ۲۰۱۴) ارائه گردید.



بیست و دومین کنفرانس مهندسی برق ایران

دیر کنفرانس  
محمد عظمی  
محمد عظمی

## حذف نوسانات ناشی از اغتشاشات ولتاژ در حلقه قفل فاز سه فاز به روشی نوین

علی اصغر قدیمی<sup>۱</sup>، محمد زارعی<sup>۲</sup> و میثم مختاری<sup>۳</sup>

<sup>۱</sup> عضو هیئت علمی گروه برق دانشکده مهندسی دانشگاه اراک، a-ghadimi@araku.ac.ir

<sup>۲</sup> دانشجوی کارشناسی ارشد برق قدرت، دانشکده مهندسی برق دانشگاه صنعتی اراک، m.zareei@mailfa.org

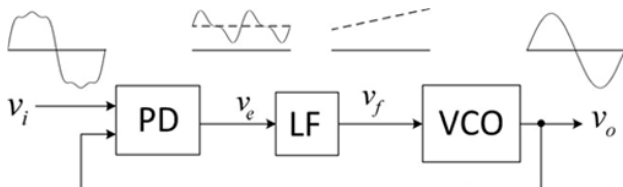
<sup>۳</sup> دانشجوی کارشناسی ارشد برق قدرت، دانشکده مهندسی دانشگاه اراک، m-mokhtary@arshad.araku.ac.ir

چکیده - یکی از مهمترین اموری که باید در بهره‌برداری سیستم‌های الکترونیک قدرت متصل به شبکه در نظر گرفته شود، سنکرون‌سازی سیستم با شبکه در فاز و فرکانس است. سرعت و دقت سنکرون‌سازی به تکنولوژی به کار رفته در سیستم حلقه قفل فاز (PLL) بستگی دارد. اغلب حلقه‌های قفل فاز، مبتنی بر ساختار حلقه قفل فاز با قاب مرجع گردان (SRF-PLL) می‌باشند. مهمترین مشکل آنها عملکرد نامناسب در شرایط نامتعادلی و اغتشاشات هارمونیک است. در راستای اصلاح عملکرد حلقه قفل فاز انواع روشهای استخراج هارمونیک اصلی مؤلفه توالی مثبت معرفی شده‌است. در این مقاله روشی جدید برای حذف نوسانات ناشی از اغتشاشات ولتاژ در حلقه قفل فاز پیشنهاد شده‌است. این روش از یک آشکارساز فرکانس و یک فیلتر متوسط‌گیر بهره‌می‌برد. سادگی و انعطاف‌پذیری ساختار و سرعت و دقت عملکرد، مهمترین شاخصه‌های این روش است.

کلید واژه- آشکارسازی فاز، حذف اثرات نامتعادلی، حلقه قفل فاز (PLL)، سنکرون‌سازی، فیلتر میانگین پویا (MAF)

شده‌است می‌توان در یک سوم دوره تناوب (در صورت عدم وجود نامتعادلی در فاز) نقاط عبور از صفر را تشخیص داد؛ بنابراین تنها به منظور آشکارسازی فرکانس مورد استفاده قرار می‌گیرد.

اگر روشهای سنکرون‌سازی را به دو دسته حلقه باز و حلقه بسته تقسیم کنیم، حلقه قفل فاز (PLL)<sup>۴</sup> سیستم کنترلی حلقه بسته‌ای است که قادر به تولید سیگنالی در خروجی است که با سیگنال ورودی سنکرون باشد [۳]؛ (شکل ۱).



شکل ۱: ساختار پایه حلقه قفل فاز

در این میان تکنولوژی قاب مرجع سنکرون (SRF)<sup>۵</sup> تقریباً اساس همه روش‌های سنکرون‌سازی سه‌فاز است [۴]. SRF-PLL برای رسیدن به اطلاعات فرکانس و فاز (انتگرال فرکانس)، به‌وسیله تبدیل پارک ولتاژهای سه فاز را از قاب مرجع طبیعی (abc) به قاب مرجع سنکرون گردشی (dq) منتقل می‌کند. موقعیت زاویه فاز توسط حلقه فیدبکی که مؤلفه q (یا بسته به مشخصات ماتریس تبدیل مربوطه مؤلفه d) را روی صفر تنظیم می‌کند، کنترل و یا به عبارتی بر روی موقعیت سیگنال ورودی

### ۱- مقدمه

امروزه شمار کاربردهای تجهیزات الکترونیک قدرت، از قبیل سیستم‌های تبدیل انرژی‌های تجدیدپذیر در تولید پراکنده، ادوات FACTS<sup>۱</sup>، فیلترهای اکتیو قدرت، جبرانگر توان راکتیو، کنترل موتور و سیستم‌های تغذیه قدرت بدون وقفه (UPS)<sup>۲</sup> افزایش یافته است. این کاربردها به ردیابی سریع و دقیق فاز و فرکانس هارمونیک اصلی مؤلفه توالی مثبت پارامترهای شبکه نیاز دارند. با آشکارسازی و سنکرون‌سازی سریع و دقیق، ایمنی و قابلیت اطمینان عملکرد تجهیزات الکترونیک قدرت متصل به شبکه تضمین می‌شود [۱].

اخیراً روشهای گوناگونی برای سنکرون‌سازی ارائه شده‌است. ساده‌ترین استراتژی، تشخیص نقاط عبور از صفر ولتاژ شبکه است (ZCD)<sup>۳</sup>. اساسی‌ترین عیب این روش نداشتن دینامیک سریع در سنکرون‌سازی شبکه‌ی بدون اغتشاش و عدم تضمین عملکرد مناسب در تشخیص فاز است. علت این امر تشخیص تغییرات فاز و فرکانس در یک دوره تناوب ولتاژ شبکه و ناکارآمدی در ردیابی فاز توالی مثبت ولتاژ شبکه نامتعادل است. البته در حالت سه فاز با استفاده از روشی که در [۲] به آن اشاره

1. Flexible Ac Transmission System

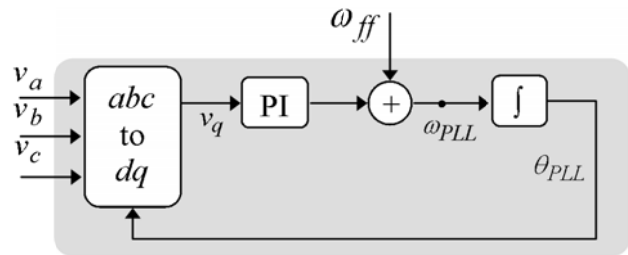
2. Uninterruptible Power Supply Systems

3. Zero Crossing Detector

4. Phase locked loop

5. Synchronous Reference Frame

قفل می‌شود. معمولاً کنترل کننده PI در PLL مورد استفاده قرار می‌گیرد (شکل ۲).



شکل ۲: ساختار یک SRF-PLL

دینامیکی با مشکل جدی روبرو می‌شود و ناپایداری سیستم را در پی خواهد داشت؛ از این رو سعی شده‌است برای این مشکل راهکارهای ارائه دهند. در این زمینه FSPLL<sup>۳</sup> و روش پیشنهادی [۸] در مجموع عملکرد مناسب‌تری در مقایسه با سایر حلقه‌های قفل فاز سه‌فاز موجود دارند. ساختار پایه این دو PLL مبتنی بر SRF-PLL سه فاز است. ساختار FFT-PLL<sup>۴</sup> که به نوعی از لحاظ نوع فیلتر بکاررفته در آن جزء این دسته محسوب می‌شود، با بکارگیری بلوکهای محاسبات مثلثاتی همچون تانژانت معکوس عمل آشکارسازی فاز را انجام می‌دهد. این نوع PLL ارتباط نزدیکی با FSPLL دارد. اخیراً با معرفی فیلتر LPN<sup>۵</sup> پیشنهادی در [۲] فیلترینگ نوسانات در زمان نصف دوره تناوب ولتاژ شبکه انجام می‌شود. این فیلتر در ساختار FFT-PLL به جای فیلتر متوسط‌گیر، مورد استفاده قرار گرفته و PLL مربوط به آن LPN-PLL نامیده شده‌است.

اغلب روشها برای کار در فرکانس نامی خود طراحی شده‌اند، از این رو جهت رفع عدم انطباق فرکانسی این نوع حلقه‌های قفل فاز، در ساختارشان یک واحد آشکارساز فرکانس در نظر گرفته شده‌است. برخی دیگر از ساختارها بطور ذاتی قابلیت تطبیق فرکانسی را دارند. قابل ذکر است که این راهکارها ممکن است موجب پیچیده‌شدن ساختار، بدتر کردن پاسخ دینامیکی و کاهش قابلیت عمل در شرایط اغتشاش ولتاژ شود [۹].

یکی از مسائلی که می‌توان در مقایسه‌ها و ارزیابی‌ها به آن توجه کرد استفاده از بلوکهای محاسبات مثلثاتی و جذر است. معمولاً اینچنین بلوکهایی در پیاده‌سازی و سرعت محاسبات تأثیرگذار می‌باشند. ساختار پیچیده سه روش اخیر مهمترین عیب آنها است. برای نمونه LPN-PLL در ساختار خود از بلوک محاسباتی تانژانت معکوس، FSPLL از دو فیلتر MAF و سه بلوک تبدیلات پارک و PLL پیشنهادی [۸] نیز از دو فیلتر MAF، یک بلوک محاسبات جذر و بلوک تشخیص‌دهنده حالت پایدار برای حذف خطای ذاتی حالت ماندگار این روش، بهره می‌برد.

روش ارائه شده در این مقاله پیچیدگی ساختاری ندارد و با رویکرد اخیر، عملکرد PLL را بهبود می‌بخشد. برای انتخاب نوع فیلتر آن MAF و فیلتر LPN پیشنهاد می‌شود. اصول عملکرد فیلتر میانگین پویا و روش پیشنهادی حذف نوسانات به ترتیب در بخش‌های ۲ و ۳ مطرح شده‌اند؛ نتایج حاصل از شبیه‌سازی

SRF-PLL در شرایط ایده‌آل با سیگنال ورودی کاملاً سینوسی، عملکرد سریع و دقیقی با پهنای باند بالا دارد که این امر موجب شده‌است به عنوان فراگیرترین PLL پایه در سنکرون‌سازی سه فاز مورد استفاده قرار گیرد [۵]. اما زمانی که شبکه در نامتعادلی ولتاژ و یا اغتشاشات هارمونیک قرارگیرد عملکرد آن با مشکل خطای ماندگار قابل ملاحظه‌ای روبرو می‌شود؛ بطوریکه در موقعیت نامتعادلی ولتاژ شبکه نوساناتی با دوبرابر<sup>۱</sup> فرکانس شبکه و بسته به مرتبه هارمونیک موجود، نوسانات با فرکانسهای مختلفی در خروجی d و q ظاهر می‌شود. جهت رفع این مشکل، PLL های گوناگونی مبتنی بر SRF-PLL طراحی و ساخته شده‌است که عمده تفاوت آنها در نحوه استخراج هارمونیک اصلی مؤلفه توالی مثبت سیگنال ورودی است. این امر ممکن است در داخل ساختار PLL و یا خارج از ساختار اصلی و جهت تغذیه کاملاً سینوسی و متعادل PLL عملی شود.

عموماً حلقه‌های قفل فازی که اساس ساختارشان بر پایه حذف نامتعادلی طبق تبدیلات ریاضی است، نیازمند فیلترهای اضافی جهت کاهش اثرات ناشی از هارمونیک هستند؛ این درحالی است که علاوه بر پیچیده شدن ساختارشان امکان تغییر رفتار دینامیکی آنها نیز وجود دارد. به طور مثال DDSRF-PLL در [۶] به عنوان یک راهکار بهینه برای حذف اثرات نامتعادلی ولتاژ معرفی شده‌است؛ اما عیب عمده این روش ساختار پیچیده آن است؛ چراکه علاوه بر استفاده از دو تبدیل قاب مرجع گردشی از چهار فیلتر پایین‌گذر اضافی نیز بهره می‌برد.

عملکرد مناسب فیلتر میانگین پویا (MAF)<sup>۲</sup> به عنوان یک فیلتر پایین‌گذر ایده‌آل در شرایط مشخص توجه برخی پژوهشگران را به خود جلب کرده‌است [۷]. در صورت استفاده از این فیلترها به عنوان فیلتر حلقه در ساختار پایه PLL، رفتار

3 . Filtered-Sequence Phase-Locked Loop

4 . Fast Fourier Transform

5 . Low Pass Notch filter

1. Double Frequency

2 . Moving Average Filter

این روش نیز در بخش ۴ ارائه شده است.

### ۳- روش پیشنهادی حذف نوسانات

برای استخراج مؤلفه توالی مثبت هارمونیک اصلی شبکه و یا به عبارتی حذف اثرات ناشی از نامتعادلی و هارمونیک‌های مرتبه بالاتر، روشهای مختلفی وجود دارد؛ از جمله استخراج این سیگنال قبل از ورود به PLL در فضای abc و  $\alpha\beta$  و یا فیلتر کردن مؤلفه‌های dq در حلقه قفل فاز SRF-PLL.

در روش پیشنهادی، این هدف با استخراج و حذف نوسانات فاز آشکار شده توسط PLL عملی می‌شود. در صورت عبور خروجی PI از MAF تنها فرکانس را آشکار سازی خواهیم کرد و مرحله قفل فاز با استفاده از این مؤلفه DC عملی نخواهد شد؛ بطوریکه با عبور آن از یک انتگرال‌گیر، شاهد بروز اختلاف فاز خروجی با فاز شبکه در دوره‌های مختلف بروز اغتشاش خواهیم بود (شکل ۷-ا). با استفاده از روش جدید این اختلاف فاز را به صفر می‌رسانیم و سرانجام عمل قفل فاز انجام خواهد شد. در صورتی که فاز مؤلفه توالی مثبت هارمونیک اصلی شبکه  $\theta_f$  باشد خواهیم داشت:

$$\theta_f = \theta_{PLL} - \theta_{e1} = \int (\omega_{PLL} - \omega_{e1}) \quad (3)$$

که  $\theta_{PLL}$  و  $\omega_{PLL}$  به ترتیب فاز و فرکانس آشکار شده توسط SRF-PLL و  $\theta_{e1}$  و  $\omega_{e1}$  به ترتیب نوسانات موجود در فاز و فرکانس آشکار شده است. از آنجا که نمی‌توان بدون خطای گذرا  $\theta_{e1}$  و  $\omega_{e1}$  را بدست آورد، بنابراین معادله فوق را با متغیرهای آشکار شده توسط روش پیشنهادی بازنویسی می‌کنیم:

$$\theta_{out} = \theta_{PLL} - \theta_{e2} = \int (\omega_{PLL} - \omega_{e2}) \quad (4)$$

$$\theta_{e2} = \int (\omega_{PLL} - \omega_{ff}) - \text{Average} \left( \int (\omega_{PLL} - \omega_{ff}) \right) \quad (5)$$

که  $\theta_{out}$ ،  $\theta_{e2}$  و  $\omega_{e2}$  به ترتیب فاز آشکار شده نهایی و نوسانات تخمین زده شده موجود در  $\theta_{PLL}$  و  $\omega_{PLL}$  بوده و  $\omega_{ff}$  خروجی آشکار ساز فرکانس است؛ که در واقع تخمین مقدار متوسط  $\omega_{PLL}$  می‌باشد. علت وجود قسمت دوم معادله (۵)، ظاهر شدن مؤلفه DC در خروجی  $\int (\omega_{PLL} - \omega_{ff})$  هنگام بروز اغتشاش در ورودی PLL است (شکل ۶)؛ به این دلیل ناگزیریم که از فیلترهایی نظیر MAF برای استخراج و حذف آن استفاده کنیم. این مؤلفه در واقع همان اختلاف فاز واقعی شبکه با انتگرال  $\omega_{ff}$  یا همان  $\theta_f - \theta_{ff}$  است (شکل ۷). بنابراین با دستیابی به  $\theta_{e2}$ ، در آخرین مرحله می‌توانیم طبق معادله (۴) به

### ۲- فیلتر میانگین پویا (MAF)

MAF از نوع فیلتر پاسخ ضربه محدود (FIR) است [۷]. عمل فیلترینگ در این نوع فیلتر در صورت پوشش نوسانات ناشی از نامتعادلی و انواع هارمونیک‌های مرتبه بالاتر در یک دوره تناوب صورت می‌گیرد.

پاسخ MAF به ازای ورودی  $x(\tau)$  به صورت زیر است:

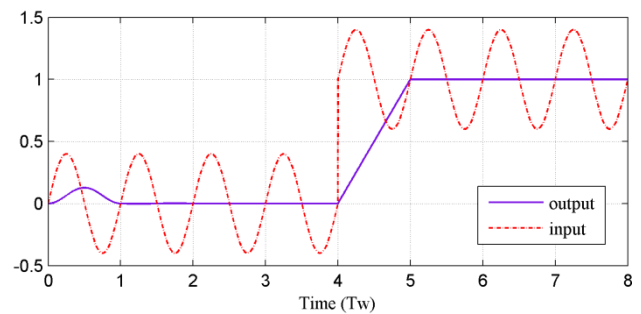
$$\bar{x}(t) = \frac{1}{T_w} \int_{t-T_w}^t x(\tau) d\tau \quad (1)$$

این فیلتر مقدار متوسط ورودی را از زمان  $t-T_w$  تا  $t$  محاسبه می‌کند.  $T_w$  طول قاب متوسط‌گیری است. در عمل با سیستم گسسته روبرو هستیم؛ در این صورت اگر فرکانس نمونه برداری  $T_s$  باشد خواهیم داشت:

$$\bar{X} = \frac{1}{N} \sum_{n=0}^{N-1} x(-n) \quad (2)$$

که در اینجا  $x(0)$  مقدار فعلی و  $x(-n)$  مقادیر قبلی نمونه برداری شده است.  $N$  طول قاب نمونه‌گیری بوده و برابر با نزدیکترین عدد طبیعی به  $T_w/T_s$  است. جهت کاهش خطای متوسط‌گیری از نمونه‌ها می‌توان از درون‌یابی خطی استفاده کرد و یا فرکانس نمونه برداری را افزایش داد [۸].

پاسخ پله فیلتر در حضور نوسانات در شکل ۳ نشان داده شده است. به طور ذاتی این فیلتر تأخیر زمانی متناسب با  $T_w$  دارد؛ بنابراین هرچه مقدار  $T_w$  کمتر باشد پاسخ نیز سریعتر خواهد بود. مقادیر مجاز  $T_w$  متناسب با پوشش دوره تناوب نوسانات ناشی از نامتعادلی و تمام هارمونیک‌های موجود در شبکه است.

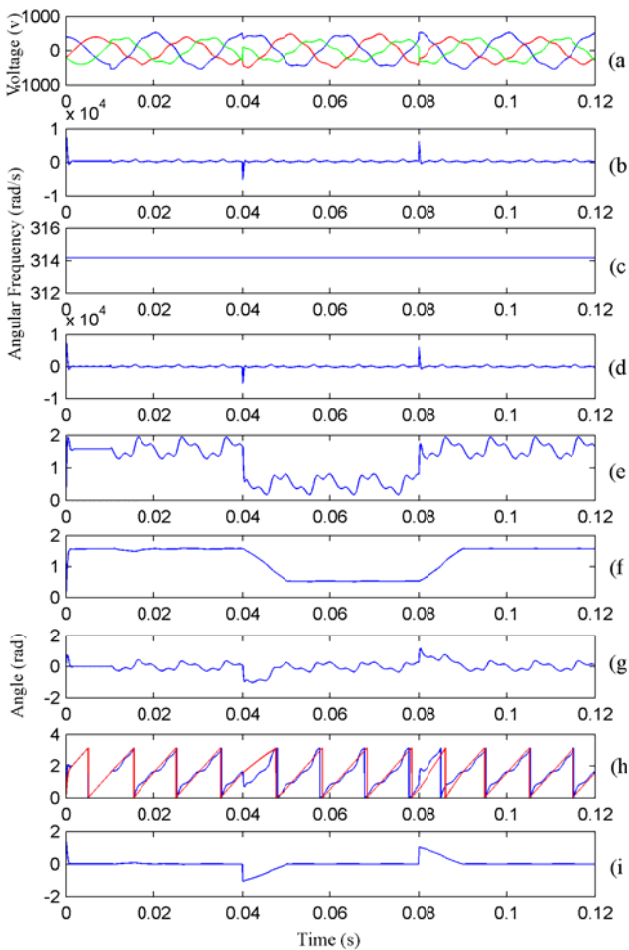


شکل ۳: پاسخ دینامیکی فیلتر MAF به ورودی پله در حضور نوسانات

شبکه سه فاز از سه واحد ZCD و سه فیلتر پایین گذر استفاده می‌شود. برای کاهش خطای حالت گذرا و افزایش قابلیت اطمینان آشکارساز فرکانس نیز محدوده مجازی از تغییرات را برای خروجی آن تعریف می‌کنیم [۲]، [۷].

#### ۴-۱- شرایط ۱

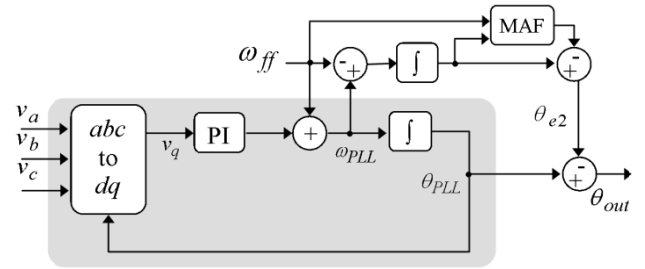
در این شرایط فاز اولیه سیگنال ورودی ۹۰ درجه است. در زمان 10ms، ۱۰٪ هارمونیک پنجم با فاز اولیه ۳۰ درجه و مؤلفه توالی منفی با دامنه ۲۵٪ و فاز اولیه ۹۰ درجه و در بازه زمانی 40ms تا 80ms، ۶۰٪ درجه پرش فاز اعمال می‌شود. نتایج شبیه‌سازی هر دو روش پیشنهادی تحت این شرایط در شکل‌های ۶ و ۷ نشان داده شده‌است.



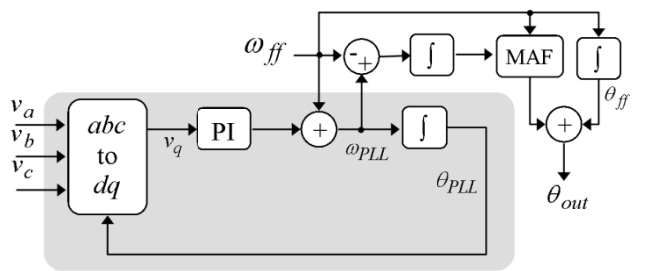
شکل ۶: نتایج حاصل از شبیه‌سازی تحت شرایط ۱ و با بکارگیری روش اول. (a) ولتاژهای سه‌فاز شبکه، (b)  $\omega_{PLL} - \omega_{ff}$  (c)  $\omega_{PLL}$  (d)  $\omega_{ff}$  (e)  $\omega_{PLL} - \omega_{ff}$  (f) خروجی MAF (g)  $\theta_{e2}$  (h)  $\theta_{PLL}$  و  $\theta_{out}$  در بازه صفر تا  $\pi$  (نمایانگر حذف نوسانات)، (i) خطای حاصل از تخمین فاز  $(\theta_f - \theta_{out})$

در اثر پرش فاز شدید، فاصله زمانی دو نقطه عبور از صفر متوالی خارج از حد مجاز است؛ بنابراین ZCD این داده‌ها را در نظر نگرفته و خروجی آن در این مدت ثابت مانده‌است. به علت

دست یابیم که در حالت ماندگار معادل  $\theta_f$  خواد بود. در روش دوم، مؤلفه DC بدست آمده از خروجی MAF را با  $\theta_{ff}$  جمع می‌کنیم که نهایتاً منجر به ایجاد ساختار شکل ۵ می‌شود.



شکل ۴: ساختار حلقه قفل فاز حاصل از روش اول



شکل ۵: ساختار حلقه قفل فاز حاصل از روش دوم

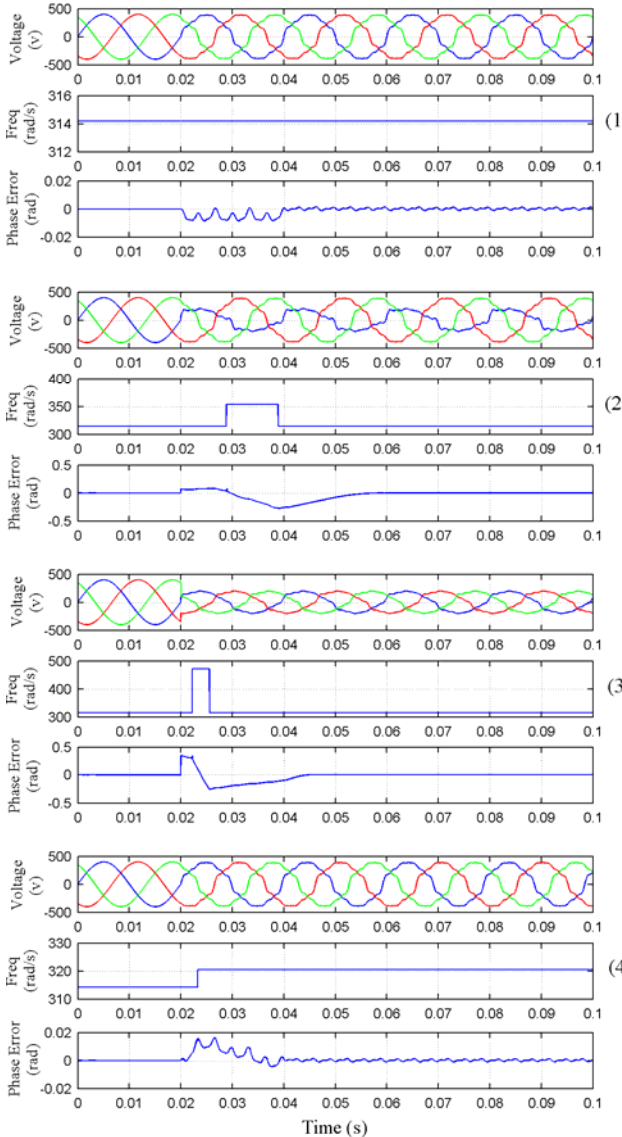
سرعت عملکرد ساختار نهایی PLL پیشنهادی برای رسیدن به حالت پایدار برابر با بزرگترین مقدار بین زمان نشست خروجی کنترل کننده PI و زمان آشکارسازی فرکانس ( $T_{fd}$ ) به علاوه زمان پاسخ فیلتر یا عمل متوسط‌گیری ( $T_w$ ) است. در صورت استفاده از فیلتر LPN پیشنهادی [۲] زمان متوسط‌گیری کاهش می‌یابد.

#### ۴-۲- شبیه‌سازی و تحلیل نتایج

شبیه‌سازی روش‌های پیشنهادی تحت دو شرایط مختلف انجام شده‌است. شرایط ۱ جهت مشاهده دقیق‌تر متغیرها و شرایط ۲ مطابق [۸] جهت فراهم‌سازی امکان مقایسه نتایج با روش‌های دیگر بکار برده شده‌است؛ از این‌رو آشکارسازی فرکانس توسط ZCD صورت می‌گیرد. سیگنال ورودی با دامنه ۴۰۰ ولت و فرکانس ۵۰ هرتز اعمال شده‌است. ضرایب  $k_p$  و  $k_i$  کنترل کننده PI با استفاده از نرم‌افزار MATLAB برای رسیدن به زمان نشست حدود 1.5ms در خروجی کنترل کننده، به ترتیب 15.6845 و 65600.9325 در نظر گرفته شده‌اند.

جهت حذف خطای آشکارسازی فرکانس ناشی از هارمونیک‌های ولتاژ شبکه، سیگنال‌های ورودی ZCD را از فیلترهای پایین گذر عبور می‌دهیم. لازم به ذکر است که در

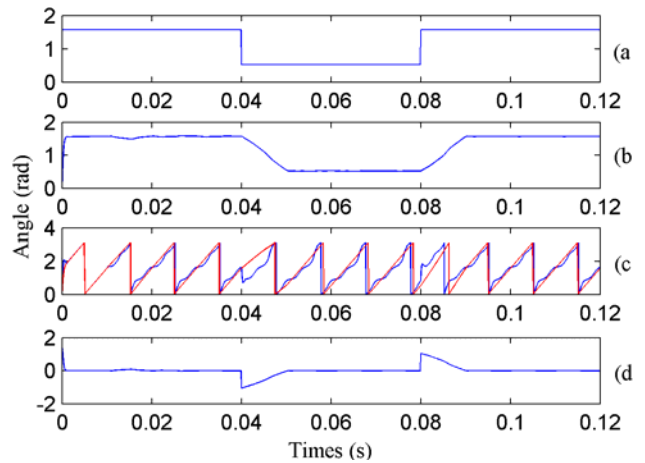
ماکزیم خطای آشکارسازی این PLL پیشنهادی، متأثر از سرعت و دقت عملکرد آشکارساز فرکانس و فیلتر متوسط‌گیر است؛ از این رو با پیشرفت و بهبود عملکرد این واحدها در آینده شاهد بهبود عملکرد این PLL نیز خواهیم بود.



شکل ۸: پاسخ شبیه‌سازی تحت شرایط ۲ به ترتیب در حالت‌های ۱، ۲، ۳ و ۴

رفتار دینامیکی این PLL نسبت به حلقه‌های قفل فاز مشابه تفاوت چندانی ندارد؛ بطوریکه بسته به نوع فیلتر مورد استفاده در FSPLL، FFT-PLL (یا LPN-PLL) و روش پیشنهادی در این مقاله، هر سه مورد زمان پاسخی نزدیک به هم دارند که وابسته به سرعت آشکارسازی فرکانس و فیلتر است. استفاده از کنترل‌کننده PI، بکارگیری فیلتر در خارج از حلقه و لزوم استفاده از آشکارساز فرکانس وجه مشترک FSPLL و روش پیشنهادی است و از این رو که عوامل مؤثر در عملکرد این دو روش تقریباً مشابه یکدیگر است، پاسخ روش پیشنهادی بیش از

تنظیم ضرایب کنترل‌کننده PI جهت داشتن دینامیک سریع، اورشوت<sup>۱</sup> زیادی دارد ولی این امر بر خروجی تأثیر مثبتی گذاشته و سبب انحراف کمتر و همگرایی سریعتر آن شده است.



شکل ۷: نتایج حاصل از شبیه‌سازی تحت شرایط ۱ و با بکارگیری روش دوم، (a)  $\theta_f - \theta_{ff}$ ، (b) خروجی MAF، (c)  $\theta_{PLL}$  و  $\theta_{out}$ ، (d)  $\theta_f - \theta_{out}$ .

همانطور که در شکل‌های ۶ و ۷ مشاهده می‌شود، بکارگیری هر دو روش منجر به نتایج یکسانی شده است.

#### ۲-۴- شرایط ۲

در این شرایط پاسخ گذرای PLL تحت ۴ حالت مختلف شبیه‌سازی می‌شود.

حالت ۱: ورود هارمونیک‌ها به سیگنال ورودی

حالت ۲: کاهش ۵۰ درصدی ولتاژ فاز A به همراه ۲۰ درجه پرش فاز در آن

حالت ۳: کاهش ۵۰ درصدی هر سه فاز به همراه ۲۰ درجه پرش فاز

حالت ۴: یک درجه افزایش در فرکانس شبکه

هارمونیک‌های موجود در حالت ۱ در تمام حالت‌های دیگر نیز موجود هستند [۸]. نتایج حاصل در شکل ۸ نشان داده شده است.

محدودسازی بیشتر ناحیه مجاز تشخیص ZCD و به طور کلی افزایش سرعت و دقت آشکارساز فرکانس منجر به کاهش زمان نشست و ماکزیم خطای خروجی می‌شود. در حالت ۲ به علت وجود نامتعادلی نوع فازی از ZCD تکفاز استفاده شده است که در این حالت زمان پاسخ ZCD نسبت به حالت ۳، سه برابر خواهد بود. زمان نشست و مقدار خطای گذرای آشکارسازی فرکانس به شدت بر زمان پاسخ دینامیکی روش پیشنهادی تأثیرگذار است؛ بنابراین سرعت عملکرد، خطای حالت ماندگار و

۱. Over-Shoot

دقت و سرعت بالایی دارد. به دلیل بکارگیری فیلتر در خارج از حلقه فیدبک PLL، امکان تنظیم ضرایب کنترل کننده PI برای رسیدن به زمان نشست کوتاه فراهم است. کارایی این روش متأثر از سرعت و دقت عملکرد فیلتر و آشکارساز فرکانس است. ساختار PLL حاصل از این روش در میان حلقه‌های قفل فاز مشابه از سادگی و انعطاف‌پذیری منحصر به فردی برخوردار بوده و عملکرد این روش در مواجهه با انواع اغتشاشات، شرایط هارمونیک و نامتعادلی مناسب است.

## مراجع

- [1] Lisheng Shi; Crow, M.L., "A novel PLL system based on adaptive resonant filter," *Power Symposium, 2008. NAPS '08. 40th North American*, vol., no., pp.1,8, 28-30 Sept. 2008
- [2] Kyoung-Jun Lee; Jong-Pil Lee; Dongsul Shin; Dong-Wook Yoo; Hee-Je Kim, "A Novel Grid Synchronization PLL Method Based on Adaptive Low-Pass Notch Filter for Grid-Connected PCS," *Industrial Electronics, IEEE Transactions on*, vol.61, no.1, pp.292,301, Jan. 2014
- [3] Hsieh, G. C., Hung, J. C., "Phase-Locked Loop Techniques - A Survey", *IEEE Transactions on Industrial Electronics*, Vol. 43, No.6, PP: 609-615, December 1996.
- [4] Carugati, I.; Maestri, S.; Donato, P.G.; Carrica, D.; Benedetti, M., "Variable Sampling Period Filter PLL for Distorted Three-Phase Systems," *Power Electronics, IEEE Transactions on*, vol.27, no.1, pp.321,330, Jan. 2012
- [5] Liccardo, F.; Marino, P.; Raimondo, G., "Robust and Fast Three-Phase PLL Tracking System," *Industrial Electronics, IEEE Transactions on*, vol.58, no.1, pp.221,231, Jan. 2011
- [6] P. Rodriguez, J. Pou, J. Bergas, J. Candela, R. Burgos, and D. Boroyevich, "Decoupled double synchronous reference frame PLL for power converter control," *IEEE Trans. Power Electron.*, vol. 22, no. 2, pp. 584-592, Mar. 2007.
- [7] Robles, E.; Ceballos, S.; Pou, J.; Martín, J.L.; Zaragoza, J.; Ibañez, P., "Variable-Frequency Grid-Sequence Detector Based on a Quasi-Ideal Low-Pass Filter Stage and a Phase-Locked Loop," *Power Electronics, IEEE Transactions on*, vol.25, no.10, pp.2552,2563, Oct. 2010
- [8] Liang Wang; Qirong Jiang; Lucheng Hong; Chunpeng Zhang; Yingdong Wei, "A Novel Phase-Locked Loop Based on Frequency Detector and Initial Phase Angle Detector," *Power Electronics, IEEE Transactions on*, vol.28, no.10, pp.4538,4549, Oct. 2013
- [9] Nicastrì, A.; Nagliero, A., "Comparison and evaluation of the PLL techniques for the design of the grid-connected inverter systems," *Industrial Electronics (ISIE), 2010 IEEE International Symposium on*, vol., no., pp.3865,3870, 4-7 July 2010

همه به عملکرد FSPLL شباهت دارد. PLL پیشنهادی در [۸] به علت عدم استفاده از ZCD تقریباً از منظر زمان فیلترکردن نوسانات با موارد مذکور شباهت دارد.

جدول زیر مقایسه ساختار حلقه‌های قفل فاز را نشان می‌دهد. قابل ذکر است که برخی واحدهای دیگر مانند واحد بازسازی سیگنال معرفی شده در [۸] و یا واحد محاسبات مثلثاتی سینوس و کسینوس در این جدول ذکر نشده‌است.

جدول ۱: مقایسه ساختار حلقه‌های قفل فاز

	FSPLL	FFT-PLL, LPN-PLL	روش ارائه شده در [۸]	روش پیشنهادی
کنترل کننده PI	*	-	*	*
واحد محاسبه $\tan^{-1}$	-	*	-	-
واحد محاسبه جذر	-	-	*	-
ZCD	*	*	-	*
تعداد فیلتر	۲	۲	۲	۱
تعداد واحد تبدیل قاب مرجع	۳	۱	۱	۱

\* دارد - ندارد

در مجموع مهمترین وجه تمایز روش پیشنهادی با روش‌های فوق، سادگی ساختار و سهولت پیاده‌سازی است.

## ۵- نتیجه گیری

در این مقاله یک روش جدید جهت حذف نوسانات ناشی از اغتشاش پارامترهای شبکه در PLL سه فاز معرفی شده‌است که